

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-209846

(P2003-209846A)

(43) 公開日 平成15年7月25日 (2003.7.25)

(51) IntCl. <sup>7</sup>	識別記号	F I	テ-マ-ト (参考)
H 0 4 N	7/32	H 0 3 M	7/30 A 5 B 0 1 5
G 1 1 C	11/41		7/36 5 C 0 5 9
H 0 3 M	7/30	H 0 4 N	7/137 Z 5 J 0 6 4
	7/36	G 1 1 C	11/34 K

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2002-4957 (P2002-4957)

(22) 出願日 平成14年1月11日 (2002.1.11)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 立平 靖

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外1名)

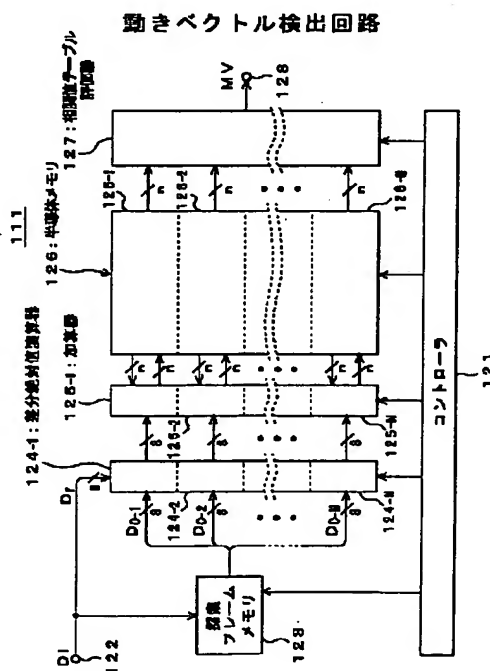
最終頁に続く

(54) 【発明の名称】 動きベクトル検出装置および動き補償予測符号化装置

(57) 【要約】

【課題】 占有面積を小さくでき、半導体チップの大型化を防止する。

【解決手段】 複数の演算器 124<sub>-1</sub> ~ 124<sub>-N</sub> からの差分絶対値の夫々を、半導体メモリ 126 の複数の記憶領域 126<sub>-1</sub> ~ 126<sub>-N</sub> に記憶されていた記憶データの夫々に、複数の加算器 125<sub>-1</sub> ~ 125<sub>-N</sub> を用いて足し込み、その足し込みデータの夫々を半導体メモリ 126 の複数の記憶領域 126<sub>-1</sub> ~ 126<sub>-N</sub> に記憶することを、例えばブロックの画素分だけ繰り返し行う。これにより、半導体メモリの複数の記憶領域 126<sub>-1</sub> ~ 126<sub>-N</sub> に、参照ブロックに対応した複数の候補ブロックの夫々に対する相関値 (差分絶対値和) を得る。この複数の候補ブロックの夫々に対応した相関値に基づいて、相関値テーブル評価器 127 により、参照ブロックに対応した動きベクトルを検出する。従来のように記憶素子としてレジスタを用いるものでなく、占有面積を小さくできる。



## 【特許請求の範囲】

【請求項 1】 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

参照フレームより取り出される参照ブロックの画素データを共通に入力すると共に、上記探索フレームより取り出される、上記参照ブロックに対する探索範囲に存在する複数の候補ブロックの画素データをそれぞれ入力し、上記参照ブロックの画素データと上記候補ブロックの画素データとの差分絶対値を演算する複数の差分絶対値演算器と、

複数の加算器と、

複数の記憶領域を有する相関値テーブル生成用の半導体メモリと、

上記複数の差分絶対値演算器で演算されて得られた差分絶対値のそれぞれを、上記半導体メモリの複数の記憶領域に記憶されていた記憶データのそれぞれに、上記複数の加算器を用いて足し込み、該複数の加算器で得られた足し込みデータのそれぞれを上記半導体メモリの複数の記憶領域に記憶することを所定回数だけ繰り返し、上記半導体メモリの複数の記憶領域に、上記複数の候補ブロックのそれぞれに対応した相関値が得られるように制御するコントローラと、

上記半導体メモリの複数の記憶領域に得られた上記複数の候補ブロックのそれぞれに対応した相関値に基づいて、上記参照ブロックに対応した動きベクトルを検出する相関値テーブル評価器とを備えることを特徴とする動きベクトル検出装置。

【請求項 2】 少なくとも上記複数の加算器および上記半導体メモリは一体化されており、上記加算器を構成するビット単位の複数の加算部は、上記半導体メモリのカラムのビットに揃えて配されていることを特徴とする請求項 1 に記載の動きベクトル検出装置。

【請求項 3】 上記半導体メモリは、上記複数の加算部に関連して設けられた書き込みおよび読み出し用の第 1 のポートと、上記相関値を読み出すための読み出し専用の第 2 のポートとを有することを特徴とする請求項 2 に記載の動きベクトル検出装置。

【請求項 4】 上記半導体メモリをクリアするためのデータを生成し、該データによって上記半導体メモリをクリアする手段をさらに備えることを特徴とする請求項 1 に記載の動きベクトル検出装置。

【請求項 5】 上記半導体メモリをブリセットするためのデータを生成し、該データによって上記半導体メモリをブリセットする手段をさらに備えることを特徴とする請求項 1 に記載の動きベクトル検出装置。

【請求項 6】 上記加算器を構成する複数の加算部による演算結果がオーバフローとなる場合、上記複数の加算部に対応した上記半導体メモリの所定領域に最大値をセ

ットする手段をさらに備えることを特徴とする請求項 1 に記載の動きベクトル検出装置。

【請求項 7】 時間的に前後する参照フレームと探索フレームとから動きベクトル検出回路で動きベクトルを検出し、該動きベクトルを用いて動き補償を行う動き補償予測符号化装置であって、

上記動きベクトル検出回路は、

参照フレームより取り出される参照ブロックの画素データを共通に入力すると共に、上記探索フレームより取り出される、上記参照ブロックに対する探索範囲に存在する複数の候補ブロックの画素データをそれぞれ入力し、上記参照ブロックの画素データと上記候補ブロックの画素データとの差分絶対値を演算する複数の差分絶対値演算器と、

複数の加算器と、

複数の記憶領域を有する相関値テーブル生成用の半導体メモリと、

上記複数の差分絶対値演算器で演算されて得られた差分絶対値のそれぞれを、上記半導体メモリの複数の記憶領域に記憶されていた記憶データのそれぞれに、上記複数の加算器を用いて足し込み、該複数の加算器で得られた足し込みデータのそれぞれを上記半導体メモリの複数の記憶領域に記憶することを所定回数だけ繰り返し、上記半導体メモリの複数の記憶領域に、上記複数の候補ブロックのそれぞれに対応した相関値が得られるように制御するコントローラと、

上記半導体メモリの複数の記憶領域に得られた上記複数の候補ブロックのそれぞれに対応した動きベクトルを検出する相関値テーブル評価器とを備えることを特徴とする動き補償予測符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、動きベクトル検出装置および動き補償予測符号化装置に関する。詳しくは、加算器と相関値テーブル生成用の半導体メモリとを用いて差分絶対値を累積していき、この半導体メモリに、参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値を得るようにしたことによって、半導体チップの大型化を防止できるようにした動きベクトル検出装置および動き補償予測符号化装置に係るものである。

【0002】

【従来の技術】画像処理においては、動きベクトル検出は重要な要素の一つであり、その代表的な方法としてブロックマッチング法がある。これは、あるフレームの一部を構成するある画素ブロック（参照ブロック）について、時間の異なるフレームにおける様々な位置での同一形状画素ブロック（候補ブロック）との相関を評価し、その中で相関が最も高い候補ブロックとの間の相対的な

10

20

30

40

50

位置ずれを、その参照ブロックにおける動きベクトルとみなすものである。

【0003】ここで、候補ブロックを想定する領域が探索範囲である。相関の評価には、参照ブロックと候補ブロックとの対応する各画素間の画素データの差分絶対値のブロック内各画素についての総和、すなわち差分絶対値和が用いられることが多い。1個の参照ブロックにつき探索範囲内の画素数分の差分絶対値和（相関値）が得られるが、これが相関値テーブルである。この相関値テーブルの中で最も差分絶対値和の小さい、すなわち相関の高いところが、画素を単位とした動きベクトルと見なされる。また実際には、この処理は演算負荷の非常に重いものであり、ブロックの形状や大きさ、あるいは演算に使用する画素位置などについて、様々な工夫が行われている。

【0004】

【発明が解決しようとする課題】従来のブロックマッチングには、差分絶対値演算器と記憶素子としての複数のレジスタとを組み合わせ、あるいはさらに加算器をも組み合わせたP E (Processing Element)が多く用いられている。アレイ配置したP E間に並列かつパイプライン的にデータを流すことで、複数の差分絶対値和を並列に演算し、または差分絶対値を得た後に加算器によって総和をし、差分絶対値和（相関値）の集まり、すなわち相関値テーブルを生成するのである。

【0005】この場合、記憶素子としてレジスタを用いるためにその構成素子数が多く占有面積が広くなり、さらに各P Eに複数個（例えば2～3個）のレジスタがあるのでP E全体としても占有面積が広がる。そのため、半導体チップが大型化するという問題点があった。そこで、この発明では、半導体チップの大型化を防止し得る動きベクトル検出装置等を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームより取り出される参照ブロックの画素データを共通に入力すると共に、探索フレームより取り出される、参照ブロックに対する探索範囲に存在する複数の候補ブロックの画素データをそれぞれ入力し、参照ブロックの画素データと候補ブロックの画素データとの差分絶対値を演算する複数の差分絶対値演算器と、複数の加算器と、複数の記憶領域を有する相関値テーブル生成用の半導体メモリと、複数の差分絶対値演算器で演算されて得られた差分絶対値のそれぞれを、半導体メモリの複数の記憶領域に記憶されていた記憶データのそれぞれに、複数の加算器を用いて足し込み、この複数の加算器で得られた足し込みデータのそれぞれを半導体メモリの複数の記憶領域に記憶することを所定回

数だけ繰り返し、半導体メモリの複数の記憶領域に、複数の候補ブロックのそれぞれに対応した相関値が得られるように制御するコントローラと、半導体メモリの複数の記憶領域に得られた複数の候補ブロックのそれぞれに対応した相関値に基づいて、参照ブロックに対応した動きベクトルを検出する相関値テーブル評価器とを備えるものである。

【0007】この発明において、複数の差分絶対値演算器では、複数の候補ブロックのそれぞれの画素データと参照ブロックの画素データの差分絶対値が演算される。そして、複数の加算器で、複数の差分絶対値演算器で演算されて得られた差分絶対値のそれぞれが、相関値テーブル生成用の半導体メモリの複数の記憶領域に記憶されていた記憶データに足し込まれる。そして、このように複数の加算器で得られた足し込みデータのそれぞれは半導体メモリの複数の記憶領域に記憶される。

【0008】上述の差分絶対値演算、加算演算および記憶動作が所定回数、例えばブロックマッチング法の場合には参照ブロックを構成する画素データの個数と等しい回数だけ繰り返されることで、半導体メモリの複数の記憶領域に、参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値（差分絶対値和）が得られる。そして、相関値テーブル評価器では、このように半導体メモリに得られる複数の候補ブロックのそれぞれに対応した相関値に基づいて、参照ブロックに対応した動きベクトルが検出される。

【0009】このように、記憶素子としてレジスタよりも小型、高密度な半導体メモリを使用することにより、占有面積を狭くすることが可能となり、半導体チップの大型化を防止できる。

【0010】なお、少なくとも複数の加算器および半導体メモリが一体化され、加算器を構成するビット単位の複数の加算部が半導体メモリのカラムのピッチに揃えて配されることで、加算器から半導体メモリへの足し込みデータの供給および半導体メモリから加算器への記憶データの供給が効率的に行われる。

【0011】また、半導体メモリが、上述の複数の加算部に関連して設けられた書き込みおよび読み出し用の第1のポートと読み出し専用の第2のポートとを有することで、半導体メモリの記憶データ、例えば相関値の読み出しを、足し込みとは別途独立して行うことができる。

【0012】また、半導体メモリをクリアまたはプリセットするためのデータを生成し、このデータによって半導体メモリをクリアまたはプリセットすることで、外部からクリアまたはプリセットするためのデータを入力することなく、半導体メモリを容易にクリアまたはプリセットすることができ、またプリセットするためのデータを工夫することで、例えば平坦な絵柄の部分においては（0，0）等の特定の動きベクトルが検出されやすくて

【0013】また、加算器を構成する複数の加算部による演算結果がオーバーフローとなる場合、複数の加算部に対応した半導体メモリの所定領域に最大値をセットすることで、この半導体メモリの所定領域に誤った小さな値が相関値として記憶されることを防止できる。

【0014】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての動き補償予測符号化装置100の構成を示している。この符号化装置100は、画像データ（動画像を構成するフレームデータ） $D_i$ を入力する入力端子101と、この入力端子101に供給される画像データ $D_i$ と後述する動き補償回路110から供給される予測画像データとの差分を演算する減算器102と、この減算器102で得られる差分データに対してDCT（離散コサイン変換）を行うDCT回路103と、このDCT回路103で得られるDCT係数に対して量子化を行う量子化回路104と、この量子化回路104で得られた符号化データ $D_o$ を出力する出力端子105とを有している。

【0015】また、符号化装置100は、量子化回路104で得られた符号化データ $D_o$ に対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力データに対して逆DCTを行って差分データを得る逆DCT回路107と、この逆DCT回路107で得られる差分データと動き補償回路110で得られる予測画像データとを加算して元の画像データを復元する加算器108と、この加算器108で復元された画像データを記憶するフレームメモリ109とを有している。

【0016】また、符号化装置100は、フレームメモリ109に記憶された画像データを読み込み、後述する動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像データとして供給する動き補償回路110と、入力端子101に供給される画像データ $D_i$ の動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出回路111とを有している。

【0017】図1に示す動き補償予測符号化装置100の動作を説明する。入力端子101に入力される画像データ $D_i$ は、減算器102および動きベクトル検出回路111に供給される。減算器102では、この画像データ $D_i$ と動き補償回路110から供給される予測画像データとの差分が演算される。

【0018】減算器102で得られる差分データはDCT回路103に供給されて離散コサイン変換される。このDCT回路103で得られるDCT係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化データ $D_o$ が出力端子105に出力される。

【0019】また、量子化回路104で得られた符号化データ $D_o$ が逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力データが逆DCT回路107に供給されて逆DCTされ、差分データが復元される。この差分データと動き補償回路110からの予測データとが加算器108で加算されて元の画像データが復元され、この復元された画像データがフレームメモリ109に記憶される。

【0020】動き補償回路110では、あるフレームにおいては、その前のフレームにフレームメモリ109に記憶された画像データの読み込みが行われて、動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償されて、予測画像データが得られる。この予測画像データは、上述したように、差分データを得るために減算器102に供給されると共に、画像データを復元するために加算器108に供給される。

【0021】次に、動きベクトル検出回路111の詳細を説明する。この動きベクトル検出回路111では、ブロックマッチング法により動きベクトルが検出される。これは、図2に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

【0022】ブロックマッチング法では、図3Aに示すように、1枚の画像、例えば水平H画素、垂直Vラインの1フレームの画像が図4Bに示すように、P画素×Qラインのブロックに細分化される。図3Bの例では、P=5、Q=5の例である。cがブロックの中心画素位置である。

【0023】図4A～Cは、cを中心画素とする参照ブロックとc'を中心とする候補ブロックの位置関係を示している。cを中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと一致する探索フレームの候補ブロックが探索フレームにおいてc'を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出すことによって、動きベクトルを検出する。

【0024】図4Aの場合では、水平方向に+1画素、垂直方向に+1ライン、すなわち、(+1, +1)の動きベクトルが検出される。図4Bでは、(+3, +3)の動きベクトルMVが検出され、図4Cでは、(+2, -1)の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

【0025】動きベクトルを探索する範囲を水平方向で±S画素、垂直方向で±Tラインとすると、参照ブロックは、その中心cに対して、水平に±S、垂直に±Tずれたところに中心c'を有する候補ブロックと比較される必要がある。

【0026】図5は、参照フレームのある参照ブロック

の中心 $c$ の位置を $R$ とする時に、比較すべき探索フレームの $(2S+1) \times (2T+1)$ 個の候補ブロックとの比較が必要であることを示している。すなわち、この図5のます目の位置に $c$ が存在する候補ブロックの全てが比較対象である。図5は、 $S=4$ 、 $T=3$ とした例である。

【0027】探索範囲内の比較で得られた評価値(すなわち、フレーム差の絶対値和、このフレーム差の二乗和、あるいはフレーム差の絶対値の $n$ 乗和等)の中で、最小値を検出することによって、動きベクトルが検出さ

れる。図5の探索範囲は、候補ブロックの中心が位置する領域であり、候補ブロックの全体が含まれる探索範囲の大きさは、 $(2S+P) \times (2T+Q)$ となる。

【0028】図6は、動きベクトル検出回路111の構成を示している。この動きベクトル検出回路111は、回路全体の動作を制御するコントローラ121と、参照フレームの画像データ $D_i$ が入力される入力端子122と、この画像データ $D_i$ を探索フレームの画像データとして蓄積するフレームメモリ123とを有している。フレームメモリ123の書き込み、読み出し等の動作は、

コントローラ121によって制御される。

【0029】また、動きベクトル検出回路111は、複数の差分絶対値演算器124<sub>1</sub>~124<sub>N</sub>を有している。ここで、 $N$ は、ある参照ブロック内の1個の参照画素に対する探索範囲に存在する複数の候補ブロックの個数である。複数の演算器124<sub>1</sub>~124<sub>N</sub>は、入力端子122に入力される画像データ $D_i$ を構成する画素データを、参照ブロックの画素データ $D_r$ として共通に入力すると共に、また当該参照ブロックに対する探索範囲に存在する複数の候補ブロックの画素データ $D_{c_1}$ ~ $D_{c_N}$ をそれぞれ入力し、参照ブロックの画素データと候補ブロックの画素データとの差分絶対値を演算するものである。

【0030】この場合、演算器124<sub>1</sub>~124<sub>N</sub>においては、図7に示すように、1個の参照画素と $N$ 個の探索範囲画素との1対 $N$ のマッチング演算が行われる。ここで、参照ブロック内における参照画素の位置に応じて、この参照画素に対する探索範囲画素の位置が変化する。例えば、ハッチングして示した位置は、参照ブロックの左上の1個の画素に対する $N$ 個の探索範囲画素の位置を示している。

【0031】また、動きベクトル検出回路111は、複数の加算器125<sub>1</sub>~125<sub>N</sub>と、複数の記憶領域126<sub>1</sub>~126<sub>N</sub>を有する相関値テーブル生成用の半導体メモリ126とを有している。複数の加算器125<sub>1</sub>~125<sub>N</sub>は、複数の演算器124<sub>1</sub>~124<sub>N</sub>で演算されて得られた差分絶対値をそれぞれ入力すると共に、半導体メモリ126の複数の記憶領域126<sub>1</sub>~126<sub>N</sub>に記憶されていた記憶データのそれぞれを入力し、差分絶対値を記憶データに足し込むものである。

【0032】このように、複数の加算器125<sub>1</sub>~125<sub>N</sub>で得られた足し込みデータのそれぞれは、半導体メモリ126の複数の記憶領域126<sub>1</sub>~126<sub>N</sub>に記憶データとして書き戻される。半導体メモリ126の書き込み、読み出しの動作は、コントローラ121によって制御される。

【0033】コントローラ121は、参照フレームの各参照ブロックについて、複数の差分絶対値演算器124<sub>1</sub>~124<sub>N</sub>における差分絶対値の演算、複数の加算器125<sub>1</sub>~125<sub>N</sub>における足し込みの演算、半導体メモリ126の複数の記憶領域126<sub>1</sub>~126<sub>N</sub>への足し込みデータの書き戻しを、ブロック内画素分だけ行い、半導体メモリ126の複数の記憶領域126<sub>1</sub>~126<sub>N</sub>に、各参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値が得られるように制御する。

【0034】なお、入力端子122に入力される画像データ $D_i$ は各ラインの画素データが連続したものとなっている。そのため、演算器124<sub>1</sub>~124<sub>N</sub>に入力される参照ブロックの画素データ $D_r$ は、参照ブロック毎に連続したものではなく、複数の参照ブロックの画素データが所定数ずつ連続したものとなっている。例えば、参照ブロックが、図3Bに示すように $P$ 画素 $\times Q$ ラインで構成される場合には、あるラインの画素データは、 $P$ 画素毎に異なった参照ブロックを構成している。また、ある参照ブロックに着目すると、当該参照ブロックの画素データは、 $Q$ ラインの画素データが入力されてはじめて、全て入力されることとなる。

【0035】このように、演算器124<sub>1</sub>~124<sub>N</sub>に入力される参照ブロックの画素データ $D_r$ は複数の参照ブロックの画素データが所定数ずつ連続したものとなっていることから、上述した複数の差分絶対値演算器124<sub>1</sub>~124<sub>N</sub>における差分絶対値の演算、複数の加算器125<sub>1</sub>~125<sub>N</sub>における足し込みの演算、半導体メモリ126の複数の記憶領域126<sub>1</sub>~126<sub>N</sub>への足し込みデータの書き戻しは、複数の参照ブロックに対応して、時分割的に行われる。そして、 $Q$ ラインの画素データの入力毎に、新たな複数の参照ブロックの処理に移っていく。

【0036】また、動きベクトル検出回路111は、参照ブロック毎に、半導体メモリ126の複数の記憶領域126<sub>1</sub>~126<sub>N</sub>に得られた、参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値(差分絶対値和)に基づいて、参照ブロックに対応した動きベクトル $MV$ を検出する相関値テーブル評価器127と、この評価器127で検出された動きベクトル $MV$ を出力する出力端子128とを有している。評価器127では、最小の相関値を発生する候補ブロックの位置を、動きベクトル $MV$ として検出する。

【0037】図6に示す動きベクトル検出回路111の

動作を説明する。入力端子122に入力される画像データDiは、参照ブロックの画素データDrとして、複数の差分絶対値演算器124<sub>-1</sub>~124<sub>-n</sub>に共通に入力される。また、入力端子122に入力される画像データDiはフレームメモリ123に供給され、探索フレームの画像データとして蓄積される。

【0038】また、フレームメモリ123から当該参照ブロックに対する探索範囲に存在する複数の候補ブロックの画素データDc<sub>-1</sub>~Dc<sub>-n</sub>が複数の差分絶対値演算器124<sub>-1</sub>~124<sub>-n</sub>にそれぞれ入力される。この候補ブロックの画素データDc<sub>-1</sub>~Dc<sub>-n</sub>は、それぞれ参照ブロックの画素データDrに対応した画素位置のものとされる。演算器124<sub>-1</sub>~124<sub>-n</sub>では、画素データDrと画素データDc<sub>-1</sub>~Dc<sub>-n</sub>との差分絶対値がそれぞれ演算される。

【0039】また、複数の演算器124<sub>-1</sub>~124<sub>-n</sub>で演算されて得られた差分絶対値はそれぞれ複数の加算器125<sub>-1</sub>~125<sub>-n</sub>に入力される。また、この複数の加算器125<sub>-1</sub>~125<sub>-n</sub>には、半導体メモリ126の複数の記憶領域126<sub>-1</sub>~126<sub>-n</sub>に記憶されていた記憶データがそれぞれ入力される。後述するように、複数の記憶領域126<sub>-1</sub>~126<sub>-n</sub>のそれぞれは複数の参照ブロック分の記憶部からなっている。上述したように複数の加算器125<sub>-1</sub>~125<sub>-n</sub>に入力される記憶データは、画素データDrが含まれる参照ブロックに対応した記憶部より読み出される。

【0040】複数の加算器125<sub>-1</sub>~125<sub>-n</sub>では、それぞれ記憶データに差分絶対値が足し込まれる。そして、このように複数の加算器125<sub>-1</sub>~125<sub>-n</sub>で得られた足し込みデータのそれぞれは、半導体メモリ126の複数の記憶領域126<sub>-1</sub>~126<sub>-n</sub>に記憶データとして書き戻される。この場合、画素データDrが含まれる参照ブロックに対応した記憶部に書き戻される。

【0041】上述した複数の差分絶対値演算器124<sub>-1</sub>~124<sub>-n</sub>における差分絶対値の演算、複数の加算器125<sub>-1</sub>~125<sub>-n</sub>における足し込みの演算、半導体メモリ126の複数の記憶領域126<sub>-1</sub>~126<sub>-n</sub>への足し込みデータの書き戻しは、参照フレームの各参照ブロックについて、ブロック内画素分だけ行われる。これにより、半導体メモリ126の複数の記憶領域126<sub>-1</sub>~126<sub>-n</sub>に、各参照ブロックについて、参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値(差分絶対値和)が得られる。相関値テーブル評価器127は、半導体メモリ126の複数の記憶領域126<sub>-1</sub>~126<sub>-n</sub>に得られた、各参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値は、順次読み出されて相関値テーブル評価器127に供給される。評価器127では、各参照ブロックについて、最小の相関値を発生する候補ブロックの位置が、動きベクトルMVとして検出され

る。このように、評価器127で検出された各参照ブロックにおける動きベクトルMVは順次出力端子128に出力される。

【0042】なお、本実施の形態において、複数の加算器125<sub>-1</sub>~125<sub>-n</sub>と半導体メモリ126は一体化されており、複数の加算器125<sub>-1</sub>~125<sub>-n</sub>を構成するそれぞれのビット単位の複数の加算部は、半導体メモリ126のカラムのピッチに揃えて配されている。

【0043】図8は、加算器125<sub>-1</sub>およびそれに対応した半導体メモリ126の記憶領域126<sub>-1</sub>の部分の詳細構成を示したものである。なお、説明は省略するが、加算器125<sub>-2</sub>~125<sub>-n</sub>およびそれに対応した半導体メモリ126の記憶領域126<sub>-2</sub>~126<sub>-n</sub>の部分についても同様に構成されている。

【0044】図8において、記憶領域126<sub>-1</sub>には、カラム方向にn個、ロウ方向にX+1個のメモリセル(Memory Cell)130がマトリックス状に配されている。この場合、カラム方向に延びる各行のn個のメモリセル130によって、それぞれ1参照ブロック分の記憶部が構成されている。

【0045】図9は、メモリセル130の構成例を示している。このメモリセル130は、書き込みおよび読み出し用の第1のポートと読み出し専用の第2のポートとを有する2ポート構成のものである。

【0046】負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ11が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ12が形成されている。そして、これらCMOSインバータ11、12の各出力、すなわち記憶ノードN1、N2の各電位が互いに他のCMOSインバータ12、11の入力、すなわちN型MOSトランジスタQ4、Q3の各ゲート入力となっている。

【0047】CMOSインバータ11の記憶ノードN1は、ゲートが端子13に接続されたアクセストランジスタQ5を介して端子14に接続される。一方、CMOSインバータ12の記憶ノードN2は、ゲートが端子13に接続されたアクセストランジスタQ6を介して端子15に接続される。端子13にはワード線WLが接続され、端子14にはビット線BLが接続され、端子15にはビット線/BL(/BLはBLバーを表している)が接続される。

【0048】また、N型MOSトランジスタQ7、Q8が直列に接続され、その一端は接地され、その他端は端子16に接続される。そして、トランジスタQ7のゲートは記憶ノードN1に接続され、トランジスタQ8のゲートは端子17に接続される。端子16には読み出し専用ビット線BRLが接続され、端子17には読み出し専



用ワード線WRLが接続される。

【0049】このようなメモリセル130において、一対のCMOSインバータ11、12で構成されるメモリセル部に“1”または“0”のデータが記憶される。そして、このメモリセル部とビット線BL<sub>0</sub>、/BLとの間で、アクセストランジスタQ5、Q6を介して、読み出しおよび書き込みのデータ転送が行われる。また、メモリセル部と読み出し専用ビット線BRLとの間で、アクセストランジスタQ8を介して読み出しのデータ転送が行われる。

【0050】なお、図9に示すメモリセル130の構成例は、SRAM(Static Random Access Memory)セルをベースとしたものであるが、他のメモリセル、例えばDRAM(Dynamic Random Access Memory)、FeRAM(Ferro-electric Random Access Memory)、MRAM(Magnetic Random Access Memory)等におけるメモリセルをベースにして構成してもよい。

【0051】図8に戻って、カラム方向に並ぶ各行のメモリセル130に沿って、ワード線WL<sub>0</sub>～WL<sub>x</sub>、および読み出し専用ワード線WRL<sub>0</sub>～WRL<sub>x</sub>が配されている。上述したように、ワード線WL<sub>0</sub>～WL<sub>x</sub>はメモリセル130の端子13に接続され、読み出し専用ワード線WRL<sub>0</sub>～WRL<sub>x</sub>はメモリセル130の端子17に接続される。

【0052】また、ロウ方向に並ぶ各列のメモリセル130に沿って、ビット線BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>0</sub>～/BL<sub>n-1</sub>、および読み出し専用ビット線BRL<sub>0</sub>～BRL<sub>n-1</sub>が配されている。上述したように、ビット線BL<sub>0</sub>～BL<sub>n-1</sub>はメモリセル130の端子14に接続され、ビット線/BL<sub>0</sub>～/BL<sub>n-1</sub>はメモリセル130の端子15に接続され、読み出し専用ビット線BRL<sub>0</sub>～BRL<sub>n-1</sub>はメモリセル130の端子16に接続される。

【0053】なお、この読み出し専用ビット線BRL<sub>0</sub>～BRL<sub>n-1</sub>による読み出しモードに入る前には、ビット線BRL<sub>0</sub>～BRL<sub>n-1</sub>をプリチャージすることが必要となる。そのために、ビット線BRL<sub>0</sub>はP型MOSトランジスタQ41を介して電源に接続される。そして、このトランジスタQ41のゲートには、プリチャージ制御信号/ $\phi_{rpc}$ （/ $\phi_{rpc}$ は $\phi_{rpc}$ バーを表しており、プリチャージ制御信号 $\phi_{rpc}$ が反転されたものである）が入力される。ビット線BRL<sub>1</sub>～BRL<sub>n-1</sub>に関しても同様に構成されている。

【0054】また、メモリ領域126<sub>0</sub>のロウ方向に並ぶ各列のメモリセル130にそれぞれ対応して、センスアンプSA<sub>0</sub>～SA<sub>n-1</sub>が配されている。各センスアンプSA<sub>0</sub>～SA<sub>n-1</sub>は、それぞれビット線BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>0</sub>～/BL<sub>n-1</sub>に接続されている。これにより、記憶領域126<sub>0</sub>のロウ方向に並ぶ各列のメモリセル130から、ビット線対BL<sub>0</sub>、/BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>およびセンスアンプSA<sub>0</sub>～SA<sub>n-1</sub>を介して記憶データM

D<sub>0</sub>～MD<sub>n-1</sub>の読み出しが行われる。

【0055】ここで、センスアンプSA<sub>0</sub>の部分の構成の詳細を説明する。ビット線BL<sub>0</sub>は、P型MOSトランジスタQ21を介してN型MOSトランジスタQ22のゲートに接続される。また、ビット線/BL<sub>0</sub>は、P型MOSトランジスタQ23を介してN型MOSトランジスタQ24のゲートに接続される。そして、トランジスタQ22、Q24の互いのソースは接続され、その接続点はN型MOSトランジスタQ25を介して接地される。そして、トランジスタQ21、Q23のゲートには、読み出し制御信号/ $\phi_s$ （/ $\phi_s$ は $\phi_s$ バーを表しており、読み出し制御信号 $\phi_s$ が反転されたものである）が入力され、トランジスタQ25のゲートには、イコライズ制御信号/ $\phi_{eq}$ （/ $\phi_{eq}$ は $\phi_{eq}$ バーを表しており、イコライズ制御信号 $\phi_{eq}$ が反転されたものである）が入力される。

【0056】また、トランジスタQ22のドレインはP型MOSトランジスタQ26、Q27の並列回路を介して電源に接続され、トランジスタQ24のドレインはP型MOSトランジスタQ28、Q29の並列回路を介して電源に接続される。そして、トランジスタQ22のドレインはトランジスタQ29のゲートに接続され、トランジスタQ24のドレインはトランジスタQ27のゲートに接続される。トランジスタQ26、Q28のゲートには、イコライズ制御信号/ $\phi_{eq}$ が入力される。

【0057】なお、読み出しモードに入る前にはビット線対BL<sub>0</sub>、/BL<sub>0</sub>をイコライズ（プリチャージ）することが必要となる。そのために、ビット線BL<sub>0</sub>はP型MOSトランジスタQ31を介して電源に接続され、ビット線/BL<sub>0</sub>はP型MOSトランジスタQ32を介して電源に接続され、ビット線BL<sub>0</sub>、/BL<sub>0</sub>はP型MOSトランジスタQ33を介して接続される。そして、トランジスタQ31～Q33のゲートには、イコライズ制御信号/ $\phi_{eq}$ が入力される。センスアンプSA<sub>0</sub>～SA<sub>n-1</sub>の部分の構成も、上述したセンスアンプSA<sub>0</sub>の部分の構成と同様とされる。

【0058】また、上述したように、カラム方向に延びる各行のn個のメモリセル130によって、それぞれ1つの参照ブロックの記憶部が構成されている。所定の記憶部にある参照ブロックの足し込みデータを順次書き込むことを開始する前に、この所定の記憶部を構成するメモリセル130の記憶データをクリアすることが必要となる。そのために、ビット線対BL<sub>0</sub>、/BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>のそれぞれに対応して、“0”のデータを生成し、このデータをメモリセル130に書き込みデータとして供給する構成を備えている。

【0059】すなわち、ビット線BL<sub>0</sub>はN型MOSトランジスタQ51を介して接地される。そして、このトランジスタQ51のゲートには、クリア制御信号 $\phi_{cl}$ が入力される。ビット線対BL<sub>1</sub>、/BL<sub>1</sub>～BL<sub>n-1</sub>、/

10

20

30

40

50

$BL_{n-1}$ の部分に関しても同様に構成されている。

【0060】また、加算器125<sub>-1</sub>はnビットのそれぞれのビットの加算を行うためのn個の加算部140<sub>0</sub>～140<sub>n-1</sub>からなっており、これらn個の加算部140<sub>0</sub>～140<sub>n-1</sub>はメモリ領域126<sub>-1</sub>のカラムのビットに揃えて配されている。

【0061】加算部140<sub>0</sub>～140<sub>0</sub>、のそれぞれのA側の入力端子には、差分絶対値演算器124<sub>-1</sub>からの8ビットの差分絶対値のビットデータD<sub>0</sub>～D<sub>7</sub>が入力される。また、加算部140<sub>0</sub>～140<sub>n-1</sub>のそれぞれのA側の入力端子は接地され、“0”が入力された状態とされる。一方、加算部140<sub>0</sub>～140<sub>n-1</sub>のそれぞれのB側の入力端子には、これら加算部140<sub>0</sub>～140<sub>n-1</sub>のそれぞれに対応して記憶領域126<sub>-1</sub>のロウ方向に並ぶメモリセル130から、ビット線対BL<sub>0</sub>、/BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>およびセンスアンプSA<sub>0</sub>～SA<sub>n-1</sub>を介して読み出された記憶データMD<sub>0</sub>～MD<sub>n-1</sub>がそれぞれ入力される。

【0062】加算部140<sub>0</sub>の非反転出力端子Sは、N型MOSトランジスタQ11のゲートに接続されている。そして、このトランジスタQ11のドレインは、加算部140<sub>0</sub>に対応してロウ方向に並ぶメモリセル130に接続されているビット線/BL<sub>0</sub>に接続される。一方、この加算部140<sub>0</sub>の反転出力端子/S(/SはSバーを表している)は、N型MOSトランジスタQ12のゲートに接続される。そして、このトランジスタQ12のドレインは、加算部140<sub>0</sub>に対応してロウ方向に並ぶメモリセル130に接続されているビット線BL<sub>0</sub>に接続される。

【0063】トランジスタQ11、Q12の互いのソースは接続され、その接続点はN型MOSトランジスタQ13、Q14の直列回路を介して接地される。そして、トランジスタQ14のゲートには書き込み制御信号φ<sub>w</sub>が入力され、トランジスタQ13のゲートには加算部140<sub>n-1</sub>のキャリ出力端子C<sub>out</sub>に得られるMSB(Most Significant Bit)のキャリ出力C<sub>msb</sub>がインバータ141を介して入力される。加算部140<sub>0</sub>～140<sub>n-1</sub>の出力端子S、/S側の構成も、上述した加算部140<sub>0</sub>の出力端子S、/S側の構成と同様とされる。

【0064】また、加算部140<sub>0</sub>のキャリ入力端子C<sub>in</sub>は接地され、“0”が入力された状態とされる。また、加算部140<sub>0</sub>～140<sub>n-2</sub>のキャリ出力端子C<sub>out</sub>は、それぞれ加算部140<sub>1</sub>～140<sub>n-1</sub>に接続されている。これにより、加算部140<sub>0</sub>～140<sub>n-1</sub>でnビット加算器が構成される。

【0065】また、ビット線/BL<sub>0</sub>はN型MOSトランジスタQ61、Q62を介して接地される。そして、トランジスタQ61のゲートにはクリア制御信号φ<sub>clr</sub>(/φ<sub>clr</sub>はφ<sub>clr</sub>バーを表しており、クリア制御信号φ<sub>clr</sub>が反転されたものである)が入力され、トランジ

スタ62のゲートには加算部140<sub>n-1</sub>のキャリ出力端子C<sub>out</sub>に得られるMSBのキャリ出力C<sub>msb</sub>が入力される。

【0066】図8に示す加算器125<sub>-1</sub>および記憶領域126<sub>-1</sub>の部分の動作を説明する。まず、カラム方向に延びる各行のn個のメモリセル130によってそれぞれ1つの参照ブロックの記憶部が構成されているが、所定の記憶部を構成するメモリセル130の記憶データをクリアする動作について説明する。

【0067】所定の記憶部を構成するメモリセル130の記憶データをクリアする場合、書き込み制御信号φ<sub>w</sub>およびクリア制御信号φ<sub>clr</sub>はアクティブ、つまり“1”とされ、読み出し制御信号φ<sub>r</sub>およびイコライズ制御信号φ<sub>eq</sub>はインアクティブ、つまり“0”とされ、さらにワード線WL<sub>0</sub>～WL<sub>x</sub>のうち、所定の記憶部に対応するワード線が活性化される。

【0068】この場合、クリア制御信号φ<sub>clr</sub>がアクティブとされてトランジスタQ51がオンとなる。そのため、“0”のデータが生成され、このデータがビット線BL<sub>0</sub>～BL<sub>n-1</sub>に出力される。したがって、所定の記憶部に対応するワード線を活性化することで、当該所定の記憶部を構成するn個のメモリセル130には“0”のデータが書き込まれ、記憶データのクリアが行われる。

【0069】次に、所定の記憶部に記憶されている記憶データMD<sub>0</sub>～MD<sub>n-1</sub>に、8ビットの差分絶対値D<sub>0</sub>～D<sub>7</sub>を、加算器125<sub>-1</sub>(加算部140<sub>0</sub>～140<sub>n-1</sub>)で足し込み、そして加算器125<sub>-1</sub>で得られた足し込みデータAD<sub>0</sub>～AD<sub>n-1</sub>を、当該所定の記憶部に書き戻す動作について説明する。

【0070】所定の記憶部に記憶されている記憶データMD<sub>0</sub>～MD<sub>n-1</sub>に、8ビットの差分絶対値D<sub>0</sub>～D<sub>7</sub>を足し込む場合、最初に、イコライズ制御信号φ<sub>eq</sub>はアクティブ、つまり“1”とされ、書き込み制御信号φ<sub>w</sub>、読み出し制御信号φ<sub>r</sub>およびクリア制御信号φ<sub>clr</sub>はインアクティブ、つまり“0”とされ、ビット線対BL<sub>0</sub>、/BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>のイコライズ(ブリチャージ)が行われる。

【0071】この場合、ビット線対BL<sub>0</sub>、/BL<sub>0</sub>に関しては、イコライズ制御信号φ<sub>eq</sub>がアクティブとされてトランジスタQ31～Q33の全てがオンとなり、ビット線BL<sub>0</sub>およびビット線/BL<sub>0</sub>に電源の電位が印加され、これらビット線BL<sub>0</sub>およびビット線/BL<sub>0</sub>は同電位となる。他のビット線対BL<sub>1</sub>、/BL<sub>1</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>に関しても同様である。

【0072】このようにビット線対BL<sub>0</sub>、/BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>のイコライズが行われた状態で、読み出し制御信号φ<sub>r</sub>はアクティブ、つまり“1”とされ、書き込み制御信号φ<sub>w</sub>、イコライズ制御信号φ<sub>eq</sub>およびクリア制御信号φ<sub>clr</sub>はインアクティブ、つまり“0”とされ、さらにワード線WL<sub>0</sub>～WL<sub>x</sub>のうち、所定の記



- ・ 憶部に対応するワード線が活性化される。

【0073】これにより、所定の記憶部を構成する $n$ 個のメモリセル130の記憶データ $MD_0 \sim MD_{n-1}$ が、それぞれビット線対 $BL_0 / BL_1 \sim BL_{n-1} / BL_n$ およびセンスアンプ $SA_0 \sim SA_{n-1}$ を介して読み出され、加算部140 $_0 \sim 140_{n-1}$ のB側の入力端子にそれぞれ入力される。したがって、所定の記憶部に記憶されている記憶データ $MD_0 \sim MD_{n-1}$ に、8ビットの差分絶対値 $D_0 \sim D_7$ が足し込まれる。

【0074】そして、加算部140 $_0 \sim 140_{n-1}$ における加算出力、つまり足し込みデータ $AD_0 \sim AD_{n-1}$ が有効になったところで、書き込み制御信号 $\phi_w$ はアクティブ、つまり“1”とされ、読み出し制御信号 $\phi_r$ 、イコライズ制御信号 $\phi_{is}$ およびクリア制御信号 $\phi_{cl}$ はインアクティブ、つまり“0”とされ、さらにワード線 $WL_0 \sim WL_n$ のうち、所定の記憶部に対応するワード線が活性化される。

【0075】この場合、加算部140 $_0$ の部分に関して、足し込みデータ $S_0$ が“1”である場合には、トランジスタQ11はオン、トランジスタQ12はオフとなり、ビット線 $BL_0$ に“0”が出力されることから、所定の記憶部を構成する $n$ 個のメモリセル130のうち、当該加算部140 $_0$ に対応するメモリセル130には、“1”のデータが記憶される。一方、加算部140 $_0$ の部分に関して、足し込みデータ $S_0$ が“0”である場合には、トランジスタQ11はオフ、トランジスタQ12はオンとなり、ビット線 $BL_0$ に“0”が出力されることから、所定の記憶部を構成する $n$ 個のメモリセル130のうち、当該加算部140 $_0$ に対応するメモリセル130には、“0”のデータが記憶される。

【0076】他の加算部140 $_1 \sim 140_{n-1}$ の部分に関しても同様である。これにより、加算器125 $_1$ で得られた足し込みデータ $AD_0 \sim AD_{n-1}$ は、所定の記憶部を構成する $n$ 個のメモリセル130に書き戻される。

【0077】なお、足し込みの動作において、オーバフローとなる場合には、加算部140 $_0$ のキャリ出力端子 $C_{out}$ に得られるMSBのキャリ出力 $C_{msb}$ が“1”となるため、トランジスタQ13はオフとなり、足し込みデータ $AD_0 \sim AD_{n-1}$ が、所定の記憶部を構成する $n$ 個のメモリセル130に書き込まれることはない。

【0078】その代わり、この場合、トランジスタQ61がオンとなる他に、トランジスタQ62もオンとなるので、ビット線 $BL_0 \sim BL_{n-1}$ にそれぞれ“0”の信号が出力される。したがって、所定の記憶部を構成する $n$ 個のメモリセル130のそれぞれに“1”のデータが書き込まれる。つまり、この所定の記憶部には最大値が記憶される。

【0079】次に、所定の記憶部に記憶された、ある参照ブロックに対応した最終的な足し込みデータ、つまり相関値（差分絶対値和）を、読み出す場合の動作を説明

する。最初に、プリチャージ制御信号/ $\phi_{pre}$ がアクティブ、つまり“1”とされ、読み出し専用ビット線 $BRL_0 \sim BRL_{n-1}$ のプリチャージが行われる。この場合、トランジスタQ41はオンとなり、読み出し専用ビット線 $BRL_0 \sim BRL_{n-1}$ のそれぞれに電源の電位が印加される。

【0080】このように読み出し専用ビット線 $BRL_0 \sim BRL_{n-1}$ のプリチャージが行われた状態で、読み出し専用ワード線 $WRL_0 \sim WRL_n$ のうち、所定の記憶部に対応する読み出し専用ワード線が活性化される。これにより、所定の記憶部を構成する $n$ 個のメモリセル130の記憶データ $\Sigma_0 \sim \Sigma_{n-1}$ が、それぞれ読み出し専用ビット線 $BRL_0 \sim BRL_{n-1}$ に得られる。ここで、記憶データ $\Sigma_0 \sim \Sigma_{n-1}$ は、 $n$ ビットの相関値（差分絶対値和）を構成している。

【0081】以上説明したように、本実施の形態においては、加算器125 $_1 \sim 125_n$ と相関値テーブル生成用の半導体メモリ126とを用いて差分絶対値を累積していき、この半導体メモリ126に、参照ブロックに対する探索範囲に存在する複数の候補ブロックのそれぞれに対応した相関値（差分絶対値和）を得るようにしたものであり、従来のように記憶素子としてレジスタを用いるものに比べて、占有面積を小さくでき、半導体チップの大型化を防止することができる。

【0082】また、加算器125 $_1 \sim 125_n$ および相関値テーブル生成用の半導体メモリ126とを一体化し、加算器125 $_1 \sim 125_n$ をそれぞれ構成するビット単位の複数の加算部140 $_0 \sim 140_{n-1}$ が半導体メモリ126のカラムのビットに揃えて配されているので（図8参照）、加算器125 $_1 \sim 125_n$ から半導体メモリ126への足し込みデータ $AD_0 \sim AD_{n-1}$ の供給および半導体メモリ126から加算器125 $_1 \sim 125_n$ への記憶データ $MD_0 \sim MD_{n-1}$ の供給を効率的に行うことができる。

【0083】また、半導体メモリ126が、上述の複数の加算部140 $_0 \sim 140_{n-1}$ に関連して設けられた書き込みおよび読み出し用の第1のポートと、読み出し専用の第2のポートとを有するものであり（図8参照）、半導体メモリ126からのある参照ブロックに対応する相関値 $\Sigma_0 \sim \Sigma_{n-1}$ の読み出しを、足し込みとは別途独立して行うことができる。

【0084】また、半導体メモリ126の所定の記憶部を構成するメモリセル130の記憶データをクリアする際に、トランジスタQ51をオンとして、クリアするための“0”データを生成し、このデータをメモリセル130に書き込みデータとして供給するものであり、外部からクリアするためのデータを入力することなく、半導体メモリ126を容易にクリアすることができる。

【0085】また、加算器125 $_1 \sim 125_n$ をそれぞれ構成する複数の加算部140 $_0 \sim 140_{n-1}$ による演算

10

20

30

40

50

結果がオーバーフローとなる場合、複数の加算部140、 $\sim 140_{n-1}$ に対応した半導体メモリ126の所定の記憶部に最大値を記憶(セット)するものであり、この所定の記憶部に誤った小さな値が相関値として記憶され、動きベクトルの検出誤りが生じることを防止できる。

【0086】なお、上述実施の形態において、半導体メモリ126の記憶領域126<sub>1</sub>～126<sub>n</sub>では、ビット線BL<sub>0</sub>～BL<sub>n-1</sub>をトランジスタQ51を介して接地し、このトランジスタQ51のゲートにクリア制御信号/ $\phi_{clr}$ を入力する構成とし、クリア信号 $\phi_{clr}$ をアクティブとしたとき所定の記憶部を構成するn個のメモリセル130に“0”のデータが書き込まれてクリアされるものを示した(図8参照)。

【0087】ここで、図8に破線図示するように、ビット線/BL<sub>0</sub>～/BL<sub>n-1</sub>をトランジスタQ52を介して接地し、このトランジスタQ52のゲートにクリア制御信号/ $\phi_{clr}$ を入力する構成とした場合、クリア信号 $\phi_{clr}$ をアクティブとしたとき、トランジスタQ52で“1”のデータが生成され、所定の記憶部を構成するn個のメモリセル130に“1”のデータが書き込まれる。

【0088】したがって、ビット線対BL<sub>0</sub>、/BL<sub>0</sub>～BL<sub>n-1</sub>、/BL<sub>n-1</sub>のそれぞれに対応してトランジスタQ51、Q52を設けておき、それらのいずれかを選択的にビット線に接続し、クリア信号 $\phi_{clr}$ をアクティブとしたとき所定の記憶部を構成するn個のメモリセル130に、所定のデータをプリセットするようにしてもよい。このプリセットデータを工夫することで、例えば平坦な絵柄の部分においては(0, 0)等の特定の動きベクトルが検出されやすくなる。このプリセットの設定は、半導体装置の設計時に予め決めておけばよく、従ってコンタクトレイヤのプログラムなどによって設定することが想定される。

【0089】また、上述実施の形態においては、加算器125<sub>1</sub>～125<sub>n</sub>および相関値テーブル生成用の半導体メモリ126とを一体化したものであるが、さらに差分絶対値演算器124<sub>1</sub>～124<sub>n</sub>や相関値テーブル評価器127をも一体化するようにしてもよい。

【0090】また、上述実施の形態においては、メモリセル130が2ポート構成のものであったが(図9参照)、メモリセルが2ポート構成でなくともよく、半導体メモリ126全体として2ポート構成であってもよい。さらには、半導体メモリ126として2ポート構成でなくとも、例えば映像信号におけるブランキング期間に相関値(テーブルデータ)の読み出しを行ったり、同一機能ブロックを複数個有してフィールドまたはフレーム間でインターリーブさせて用いるなど、足し込みと相関値の読み出しとを同一ポートにおいて異なる期間に行ってもよい。

【0091】また、上述実施の形態においては、加算器125<sub>1</sub>～125<sub>n</sub>および半導体メモリ126を用いた

足し込みを、動きベクトル検出における差分絶対値の足し込みに適用したものであるが、他の信号処理における同様の足し込みにも適用することができる。

【0092】また、上述実施の形態においては、加算器125<sub>1</sub>～125<sub>n</sub>および相関値テーブル生成用の半導体メモリ126とを一体化したものであるが、減算器、乗算器、除算器などのその他の演算器と半導体メモリとを一体化したものも同様に構成でき、演算器と半導体メモリとの間のデータのやり取りを効率よく行うことができる。

【0093】また、上述実施の形態においては、動きベクトル検出回路111を動き補償予測符号化装置100に適用したものを示したが、動きベクトルを使用するその他の装置にも同様に適用できることは勿論である。

【0094】また、上述実施の形態においては、ブロックマッチング法によって動きベクトルを検出するものを示したが、この発明はブロックマッチング法に限定されるものではなく、代表点ブロックマッチング法など他の画素値のマッチングをベースとする方法にも適用可能である。

【0095】

【発明の効果】この発明によれば、加算器と相関値テーブル生成用の半導体メモリとを用いて差分絶対値を累積していき、この半導体メモリに、参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対する相関値(差分絶対値和)を得るものであり、従来のように記憶素子としてレジスタを用いるものに比べて、占有面積を小さくでき、半導体チップの大型化を防止することができる。

【0096】また、この発明によれば、少なくとも複数の加算器および半導体メモリが一体化され、加算器を構成するビット単位の複数の加算部が半導体メモリのカラムのピッチに揃えて配されるものであり、加算器から半導体メモリへの足し込みデータの供給および半導体メモリから加算器への記憶データの供給を効率的に行うことができる。

【0097】また、この発明によれば、半導体メモリが、上述の複数の加算部に関連して設けられた書き込みおよび読み出し用の第1のポートと読み出し専用の第2のポートとを有するものであり、半導体メモリの記憶データ、例えば相関値の読み出しを、足し込みとは別途独立して行うことができる。

【0098】また、この発明によれば、半導体メモリをクリアまたはプリセットするためのデータを生成し、このデータによって半導体メモリをクリアまたはプリセットすることで、外部からクリアまたはプリセットするためのデータを入力することなく、半導体メモリを容易にクリアまたはプリセットすることができ、またプリセットするためのデータを工夫することで、例えば平坦な絵柄の部分においては(0, 0)等の特定の動きベクトル

が検出されやすくなる。

【0099】また、この発明によれば、加算器を構成する複数の加算部による演算結果がオーバーフローとなる場合、複数の加算部に対応した半導体メモリの所定領域に最大値をセットするものであり、この半導体メモリの所定領域に誤った小さな値が相関値として記憶される、動きベクトルの検出誤りを生じることを防止できる。

【図面の簡単な説明】

【図1】実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

【図2】動き検出のためのブロックマッチング法を説明するための図である。

【図3】動き検出のためのブロックマッチング法を説明するための図である。

【図4】動き検出のためのブロックマッチング法を説明するための図である。

【図5】動き検出のためのブロックマッチング法を説明するための図である。

【図6】動きベクトル検出回路の構成を示すブロック図である。

\*【図7】1個の参照画素とN個の探索範囲画素との1対Nのマッチング演算を説明するための図である。

【図8】半導体メモリと加算器とを一体化した構成を示す図である。

【図9】メモリセルの構成を示す図である。

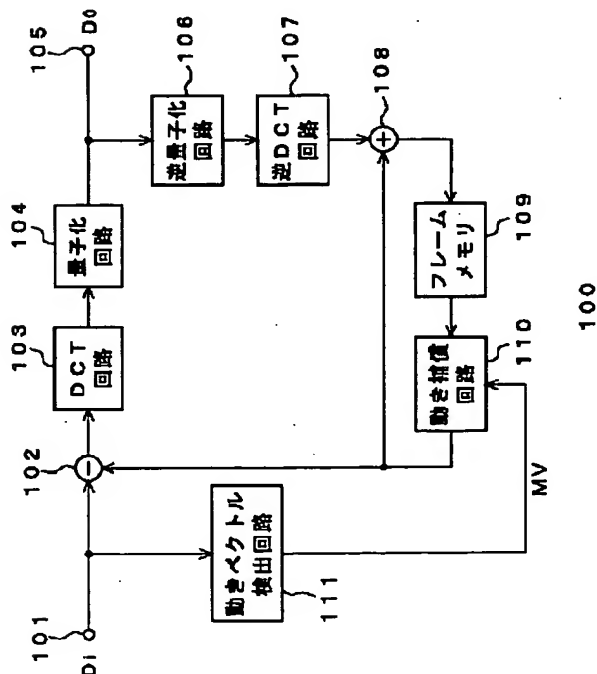
【符号の説明】

100・・・動き補償予測符号化装置、101・・・入力端子、102・・・減算器、103・・・DCT回路、104・・・量子化回路、105・・・出力端子、106・・・逆量子化回路、107・・・逆DCT回路、108・・・加算器、109・・・フレームメモリ、110・・・動き補償回路、111・・・動きベクトル検出回路、121・・・コントローラ、122・・・入力端子、123・・・フレームメモリ、124<sub>-1</sub>～124<sub>-N</sub>・・・差分絶対値演算器、125<sub>-1</sub>～125<sub>-N</sub>・・・加算器、126・・・相関値テーブル用の半導体メモリ、126<sub>-1</sub>～126<sub>-N</sub>・・・記憶領域、127・・・相関値テーブル評価器、128・・・出力端子、130・・・メモリセル、140<sub>0</sub>～140<sub>-1</sub>・・・加算

\*20 部

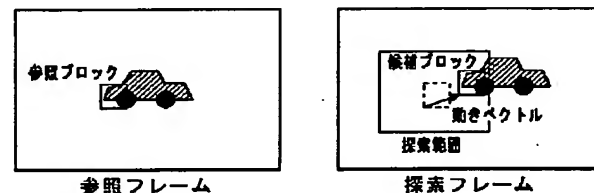
【図1】

### 動き補償予測符号化装置



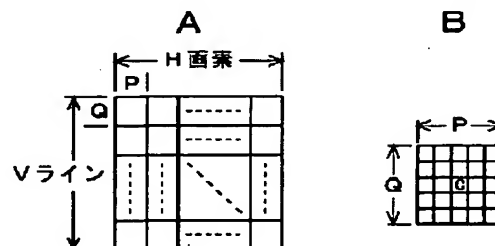
【図2】

### ブロックマッチング法



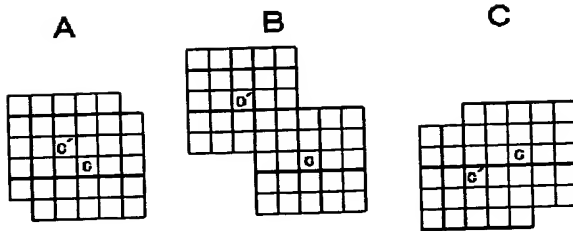
【図3】

### ブロックマッチング法



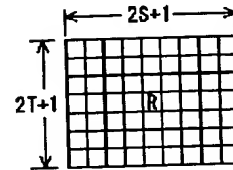
【図4】

## ブロックマッチング法



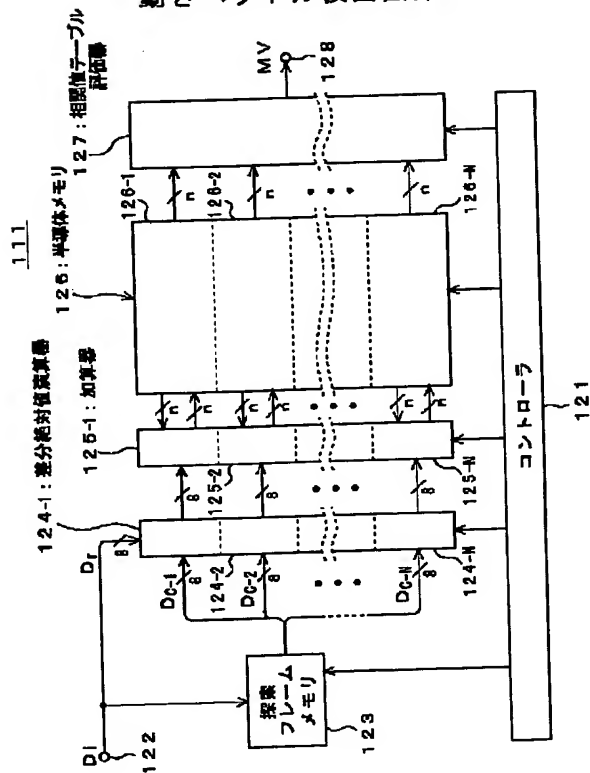
【図5】

## ブロックマッチング法



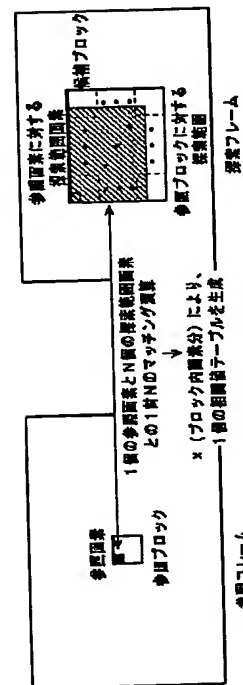
【図6】

## 動きベクトル検出回路



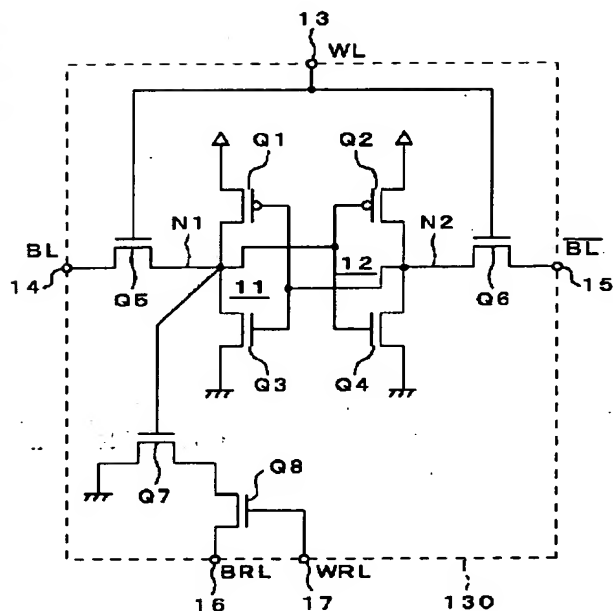
【図7】

## マッチング演算



【图9】

## メモリセル



F ターム(参考)

5B015	HH01	HH03	JJ31	KB91	NN01
5C059	KK09	KK50	MA23	MC11	NN01
	NN28	PP04	RC16	UA02	UA05
	UA33	UA38			
5J064	AA04	BA16	BB03	BC01	BC08
	BC16	BC19	BD01		

**THIS PAGE BLANK (USPTO)**